

PAT-NO: JP404030456A
DOCUMENT-IDENTIFIER: JP 04030456 A
TITLE: SEMICONDUCTOR DEVICE
PUBN-DATE: February 3, 1992

INVENTOR-INFORMATION:
NAME
YAMAGUCHI, SHINICHI

ASSIGNEE-INFORMATION:
NAME SEIKO EPSON CORP COUNTRY
N/A

APPL-NO: JP02136729
APPL-DATE: May 25, 1990

INT-CL (IPC): H01L023/50

US-CL-CURRENT: 257/666, 257/690

ABSTRACT:

PURPOSE: To protect the probes of a measuring device against contact failure in an electrical characteristic test and to prevent a short circuit from occurring between lead terminals due to the deviation of the tips of the probes by a method wherein the lead terminal member of a semiconductor device is subjected to a secondary processing.

CONSTITUTION: The lead terminal members of semiconductor devices 1, 2, and 3 are subjected to a secondary process through which a hole 4, a groove 5, a roughened surface 6, or the like is provided to the lead terminal member, whereby a contact area between the probe of a measuring device and the

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平4-30456

⑬ Int. Cl.³

H 01 L 23/50

識別記号

K

庁内整理番号

9054-4M

⑭ 公開 平成4年(1992)2月3日

審査請求 未請求 請求項の数 2 (全2頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 平2-136729

⑰ 出 願 平2(1990)5月25日

⑱ 発 明 者 山 口 真 一 長野県松本市大字島内4897番地 島内精器株式会社内

⑲ 出 願 人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号
会社

⑳ 代 理 人 弁理士 鈴木 喜三郎 外1名

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

(1) 電子機器の基板に使用される半導体装置において、前記半導体装置のリード端子部材に二次加工を施した事の特徴とする半導体装置。

(2) 前記のリード端子部材に穴、溝、表面荒仕上げ加工等を施したことを特徴とする請求項1記載の半導体装置。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は、電子機器などに用いる半導体装置に関する。

[従来の技術]

従来、一般的な半導体装置の電気的特性検査方

法として、前記半導体装置のリード端子部に直接測定器のプローブを接触させるか、又は、前記半導体装置のリード端子部と電気的導通のある基板上のパターン部に前記測定器のプローブを接触させる等の方法がとられていた。

[発明が解決しようとする課題]

しかし、前記の従来技術では、

(1) 半導体装置のリード端子部に直接測定器のプローブを接触させて電気的特性検査をする方法では、先端の細い前記測定器のプローブが、前記半導体装置のリード端子部に充分接触できないことがあり、正確な電気的特性検査が行えない。

(2) 電気的特性検査中、前記測定器のプローブが前記半導体装置のリード端子部よりずれて、リード端子間をショートさせてしまい、人体への影響や素子破壊を生じてしまう、という欠点があった。そこで、本発明はこの様な従来の問題点を解決するため、前記測定器のプローブを前述の測定方法のどちらの場合においても、正確な電気的

特性検査ができる事を目的とする。

〔課題を解決するための手段〕

本発明は、電子機器の基板に使用される半導体装置において、

前記半導体装置のリード端子部材に二次加工を施したことを特徴とする。

また前記半導体装置のリード端子部材に穴、溝、表面荒仕上げ加工したことを特徴とする。

〔作用〕

本発明においては、前記半導体装置のリード端子部材に穴、溝、又は表面の荒仕上げ等の二次加工を施した事で、前記二次加工部に前記測定器のプローブを接触させることにより、両者の接触する面積が大きくなることから、より正確な電気的特性検査ができる。

また、前記測定器のプローブのずれによって生じていたショートの問題も解決できるので、安全に電気的特性検査が行える。

4. 図面の簡単な説明

第1図は本発明の実施例を示す斜視図。

第2図は本発明の他の実施例を示す斜視図。

第3図は本発明のさらに他の実施例を示す斜視図。

- 1 --- I 0 1 (二次加工は穴)
- 2 --- I 0 2 (二次加工は溝)
- 3 --- I 0 3 (二次加工は表面荒仕上げ)
- 4, 5, 6 --- 二次加工部

以 上

出 願 人 セイコーエプソン株式会社
代 理 人 弁理士 鈴木喜三郎(他1名)

〔実施例〕

以下、本発明について、実施例に基づき詳細に説明する。

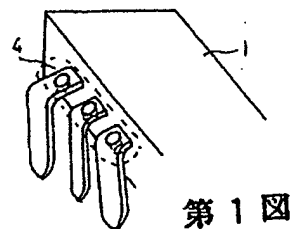
第1図は、前記半導体装置のリード端子部材の一部に穴をあけるという二次加工を施したものである。

第2図は、前記半導体装置のリード端子部材の一部に溝をつけるという二次加工を施したものである。

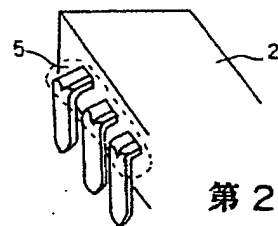
第3図は、前記半導体装置のリード端子部材の表面を荒仕上げ加工したものである。

〔発明の効果〕

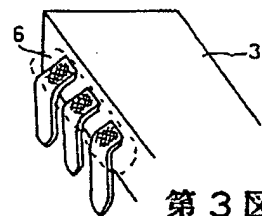
以上述べた様に、本発明によれば、半導体装置のリード端子部材に穴、溝、又は表面荒仕上げ等の二次加工を施すことによって、電気的特性検査中の測定器プローブの接触不良や、前記測定器プローブ先端のずれによるリード端子間のショート等の問題を解決でき、正確な電気的特性検査が行える。



第1図



第2図



第3図